

PERANCANGAN DCO 8 BIT DERAU FASE RENDAH UNTUK SISTEM KOMUNIKASI NIR KABEL

Prpto Nugroho

Jurusan Teknik Elektro dan Teknologi Informasi, Fakultas Teknik UGM

Jl. Grafika no.2, Yogyakarta, 55242

tatok@ugm.ac.id

Abstract— Paper ini menyajikan perancangan sebuah DCO (digitally controlled oscillator) dengan kendali penalaan 8 bit dan keluaran berupa sinyal quadrature derau fase rendah pada frekuensi tinggi. Untuk menaikkan frekuensi dan mengurangi derau fase dilakukan dengan mengurangi waktu tunda dengan menggunakan *sub-feedback loop*. Hasil pengujian menunjukkan DCO berhasil beresilasi pada frekuensi 5,4 GHz. Derau fase pada frekuensi 5,2 GHz terukur sebesar 111,2 dBc/Hz pada frekuensi offset 4 MHz. Unjuk kerja keseluruhan (FoM) sebesar -159,7 dBc/Hz.

Abstract— A low noise high frequency 8-bit digitally controlled oscillator (DCO) with quadrature output is designed. Sub-feedback loop is used to reduce time delay which hence increase the frequency output. It oscillates as high as 5.4 GHz. It has a phase noise of -111.2 dBc/Hz when measured at 5.2 GHz and carrier and 4 MHz frequency offset. Figure of Merit (FoM) is -159.7 dBc/Hz.

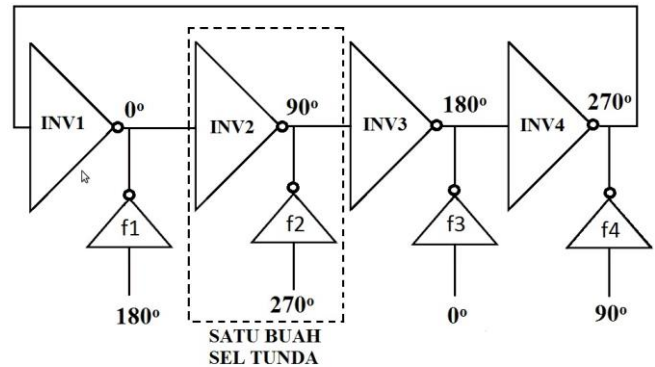
Keywords-component; Digital-controlled oscillators, DCO

I. PENGANTAR

Osilator adalah komponen penting dalam sistem komunikasi maupun sistem komputer. Dalam komunikasi nir kabel osilator digunakan dalam *frequency synthesizer* pada blok rangkaian pemancar dan penerima sebagai bagian dari rangkaian *phase-locked loop* (PLL). Dengan semakin tingginya frekuensi yang digunakan dalam komunikasi nir kabel, maka kebutuhan akan derau yang rendah menjadi semakin besar. Untuk itu perlu dirancang rangkaian osilator dengan frekuensi tinggi yang mempunyai derau rendah, khususnya derau fase.

Ada dua jenis osilator yang dapat digunakan, yaitu Osilator jenis LC atau jenis cincin (*ring oscillator*). Osilator jenis cincin tidak begitu populer dibanding jenis LC karena mempunyai derau fase yang lebih tinggi, tetapi mempunyai keuntungan dapat menghasilkan sinyal quadrature tanpa rangkaian tambahan atau dapat dikatakan lebih sederhana disamping lebih kecil dan mudah diintegrasikan dalam rangkaian terintegrasi [3-10].

Untuk *system on chip* (SoC) dan sistem komunikasi seperti *data clock recovery* (DCR), diperlukan osilator dengan sinyal *quadrature* atau berbeda fase 90° , yaitu sinyal dengan fase: 0° , 90° , 180° dan 270° [1-5]. Sinyal *quadrature* dapat dihasilkan dengan teknik *injection locking* [1-2], *interpolating phase* dan *interpolating inverter* [3], atau *coupled inverter* [4-12]. Diantara teknik-teknik atau metode-metode tersebut, *interpolating inverter* mengkonsumsi daya paling rendah [3].

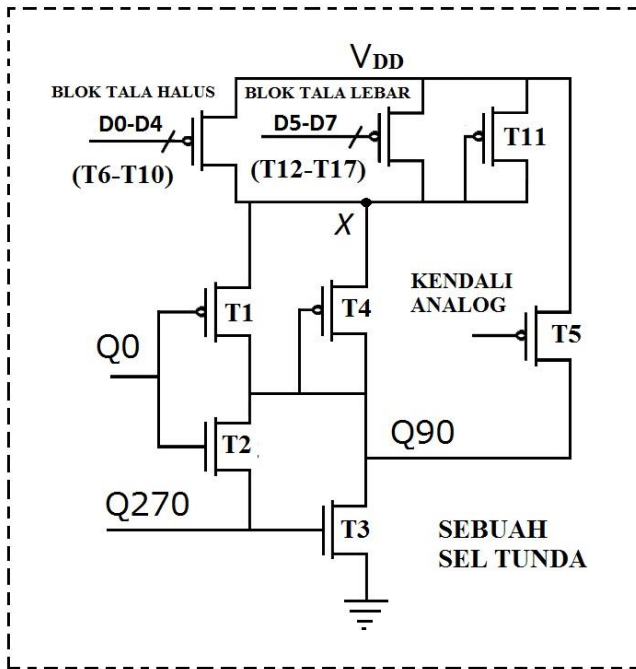


Gambar 1. Topologi Umum.

Dengan perkembangan teknologi semikonduktor, maka catu dapat dibuat semakin kecil, hal ini sekaligus dapat mengurangi konsumsi daya. Namun ada harga yang harus dibayar pada tegangan catu yang semakin kecil, yaitu penalaan menjadi semakin sulit, terutama penalaan konvensional. Penalaan secara konvensional atau penalaan analog dapat mengakibatkan gangguan yang namanya *excessive voltage-to-frequency gain* (K_{vco}), dimana frekuensi dapat berubah cepat karena penguatan yang tinggi, hal ini dapat menaikkan sensitifitas derau [7]. Untuk mencegah atau mengurangi hal ini, diperlukan penalaan dengan teknik digital. Untuk menghindari masalah akibat penalaan konvensional sebagaimana dijelaskan di paragraf sebelumnya, di penelitian ini digunakan penalaan digital.

Studi pustaka pada penelitian sejenis memaparkan perancangan osilator cincin dengan topologi *sub-feedback loop* yang dapat menaikkan frekuensi [9]. Karena itu pada penelitian ini topologi *sub-feedback* digunakan untuk menghasilkan osilator dengan frekuensi tinggi. Penalaan digital menggunakan 8-bit digunakan untuk menghasilkan lebar tala (*tuning step*) yang kecil. Transistor yang digunakan untuk penalaan digital dioperasikan pada daerah operasi *deep triode* agar dapat berperilaku seperti resistor linier, sehingga dapat mengurangi derau fase [11]. Osilator dengan penalaan digital dikenal juga dengan nama *Digitally Controlled Oscillator* (DCO).

Paper ini disusun sebagai berikut. Bab 2 mendiskusikan rangkaian di osilator cincin. Pada Bab 3, penalaan secara digital akan dijelaskan. Bab 4 menampilkan hasil percobaan dengan pembahasannya dan Bab 5 berisi kesimpulan.



Gambar. 2 Rangkaian dalam satu buah sel tunda.

II. RANGKAIAN OSILATOR

A. Topologi umum

Gambar 1 menunjukkan topologi secara umum dari DCO yang diusulkan. DCO ini terdiri dari empat buah sel tunda, dimana masing-masing sel tunda terdiri dari sebuah penguat pembalik digital (*digital inverter*), dan sebuah penguat pembalik umpan balik (*sub-feedback inverter*). Keempat penguat pembalik yang diberi simbol INV1 sampai dengan INV4 adalah pembentuk kalang utama sedangkan f1 sampai dengan f4 berfungsi sebagai penguat pembalik umpan balik. Contoh satu buah sel tunda diperlihatkan dengan kotak bergaris putus-putus pada gambar satu dimana di dalamnya terdiri dari satu buah penguat pembalik utama dan satu buah penguat pembalik umpan balik (INV2 dan f2).

Penambahan kalang umpan balik pada kalang utama berguna untuk membuat kalang cincin yang terdiri dari penguat pembalik berjumlah genap dapat berosilasi. Tanpa penambahan ini maka rangkaian tidak dapat berosilasi karena osilator jenis cincin memerlukan penguat pembalik berjumlah ganjil. Kalang umpan balik juga berguna untuk membuat jalur cepat untuk mengurangi waktu tunda pada kalang utama sehingga dapat meningkatkan frekuensi keluaran [9].

detail rangkaian pada sebuah sel tunda ditunjukkan oleh gambar 2. Setiap satu buah sel tunda terdiri dari lima buah transistor (T1-T5). Transistor T1 dan T2 membentuk dan bertindak sebagai penguat pembalik digital (*digital inverter*) dalam kalang utama yang mempunyai sinyal keluaran dengan *slew rate* yang seimbang antara tepi naik dan tepi turun (*rising and falling edges*). Pasangan transistor T3 dan T4 membentuk dan bertindak sebagai penguat pembalik umpan balik (*sub-feedback inverter*). T5 digunakan sebagai kendali analog untuk

Table I. Operasi pada blok penalaan lebar.

D5	D6	D7	T11	T12	T13	T14	T15	T16
0	0	0	M	M	M	M	M	M
1	0	0	H	M	M	M	M	M
0	1	0	M	H	M	M	M	M
1	1	0	M	M	H	M	M	M
0	0	1	M	M	M	H	M	M
1	0	1	M	M	M	M	H	M
0	1	1	M	M	M	M	M	H
1	1	1	H	H	H	H	H	H

mengendalikan besar arus pada keluaran dan besarnya waktu tunda dengan mengubah-ubah tegangan gate nya.

Transistor pada blok tala halus (T6-T10) dan blok tala lebar (T12-T17) digunakan sebagai kendali penalaan digital. Sedangkan T11 berfungsi sebagai beban ketika penalaan minimal atau semua transistor pada tala halus dan tala lebar mati, agar tetap ada jalur ke catu daya. Blok penalaan digital ini akan dijelaskan lebih lanjut di sub-bab berikutnya.

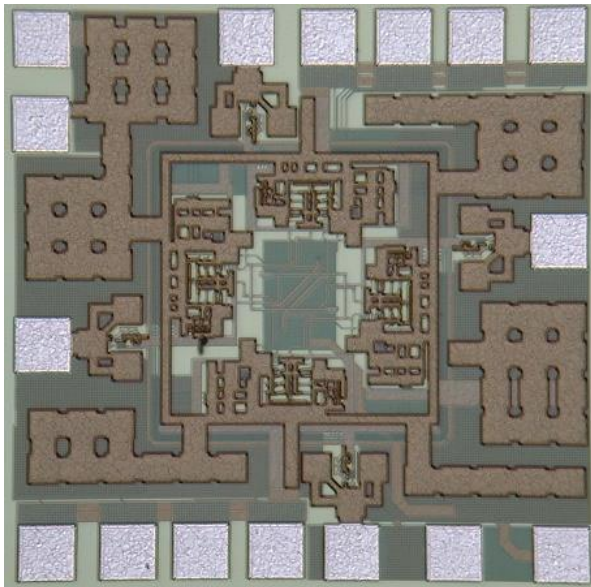
B. Penalaan Digital

Penalaan digital dalam DCO ini dibentuk dari dua belas transistor (T6 sampai dengan T17). Kedua belas transistor tersebut membentuk penalaan digital 8-bit dengan dibagi menjadi dua buah blok penalaan yaitu blok penalaan lebar atau kasar (*Coarse Tuning Block*) dan blok penalaan halus atau kecil (*Fine Tuning Block*). Penalaan dilakukan dengan menghidupkan atau mematikan transistor dalam kedua blok tersebut. Proses menghidupkan ini dilakukan dengan mengubah tegangan gate di tiap transistor dengan mengirimkan data atau sinyal kendali digital (D0 sampai D7).

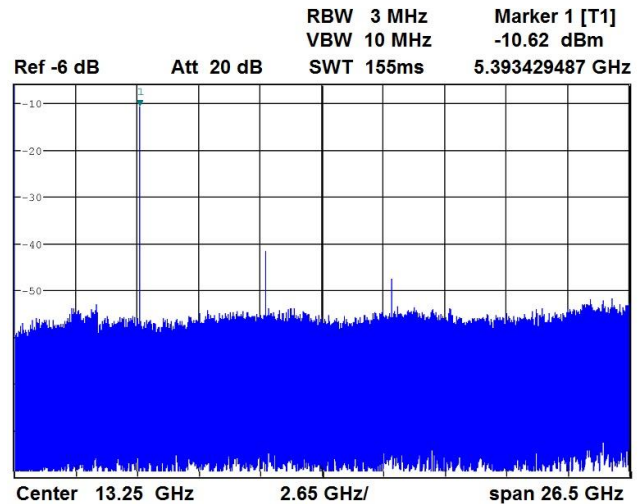
Tiga bit sinyal kendali digunakan untuk menghidupkan enam transistor pada blok penalaan lebar (T12 – T17) dengan menggunakan bantuan sebuah dekoder 3 ke 6. Ketika tiga buah sinyal kendali tersebut di set ke logika 0, maka semua transistor pada blok penalaan lebar akan mati, sebaliknya jika diset ke logika 1 maka semua transistor akan hidup. Untuk mendapatkan lebar penalaan (*tuning step*) yang sama, maka ukuran transistor harus dipilih dengan seksama. Hal ini dikarenakan lebar penalaan pada LSB (*least significant bit*) sangat besar ketika berada pada frekuensi rendah dan sangat kecil ketika berada pada frekuensi tinggi.

Table I menunjukkan pengoperasian blok ini, dengan keterangan: M = Mati dan H = Hidup. Lima bit digital digunakan untuk mengendalikan lima transistor pada blok penalaan halus secara langsung menggunakan skema kendali pembobotan biner (*binary weighted scheme control*).

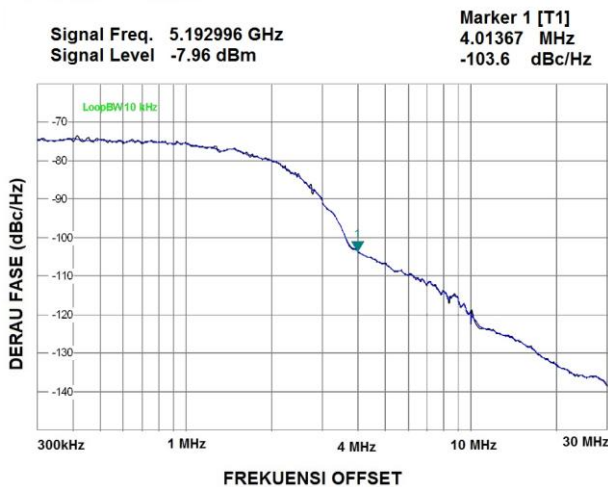
Semua transistor pada kedua blok ini ketika dalam keadaan hidup beroperasi dalam daerah *deep triode* agar membuat semua transistor berperilaku seperti resistor



Gambar 3. Foto chip DCO yang diperbesar.



Gambar 4 Spektrum frekuensi pada frekuensi 5,4 GHz.



Gambar. 5 Derau fase pada frekuensi 5.2 GHz.

linier. Resistor atau beban linier berkontribusi pada properti kesimetrisan dimana jika sinyal keluaran simetri pada sisi naik maupun sisi turun akan mengurangi pengkonversian jumlah derau $1/f$ atau disebut juga derau flicker yang diubah menjadi derau fase (*phase noise*) dengan mekanisme tertentu (mekanisme fenomena alam dalam rangkaian) [11-12]. Dengan menghidup matikan transistor pada blok pengendali penalaan digital, berarti mengubah besar kecilnya arus pada rangkaian utama.

Semakin besar kode digitalnya (semakin banyak transistor yang hidup) maka semakin besar arus yang mengalir ke rangkaian utama, sehingga menyebabkan semakin besarnya frekuensi osilasi yang dihasilkan.

III. HASIL PENGUJIAN DAN PEMBAHASAN

DCO yang dirancang sudah berhasil dilayout dan difabrikasi dengan teknologi CMOS $0,18 \mu\text{m}$. Gambar 3 menunjukkan foto pembesaran chip DCO yang telah difabrikasi. Chip DCO ini mempunyai luasan sebesar $0,07 \text{ mm}^2$, jika diukur tanpa bonding pad.

Frekuensi yang dihasilkan berhasil diukur dari 1,2 GHz sampai dengan 3,5 GHz atau lebarnya sebesar 97% dari pusat frekuensi dengan catu daya 1,8V. Frekuensi keluaran dapat ditingkatkan sampai dengan 5,4 GHz dengan menaikkan catu dayanya.

Spektrum daya keluaran DCO pada frekuensi 5,4 GHz sebesar -10,6 dBm ditunjukkan oleh Gambar 4. Sedangkan Gambar 5 menunjukkan derau fase pada frekuensi pembawa 5,2 GHz yang menunjukkan hasil pengukuran sebesar -111,2 dBc/Hz pada frekuensi *offset* 4 MHz.

Table II menunjukkan perbandingan unjuk kerja antara rancangan rangkaian DCO yang diajukan dengan rancangan-rancangan sejenis yang sudah dipublikasikan sebelumnya. Terlihat bahwa DCO yang diajukan derau fase paling rendah. Paper no [6] mempunyai nilai -113 tetapi dengan frekuensi offset 10 MHz.

DCO yang diajukan juga mempunyai unjuk kerja keseluruhan (*figure of merit* (FoM)) paling bagus dibanding penelitian acuan, -159,7 dBc/Hz. FoM dihitung dengan rumus yang umum digunakan sebagai berikut

$$FOM = -20 \log \left(\frac{F_{Out}}{F_{Offset}} \right) + PN + 10 \log P_{DC} \quad (1)$$

Dimana F_{out} adalah frekuensi keluaran, F_{offset} adalah frekuensi *offset*, PN dan P_{DC} adalah derau fase dalam dBc/Hz dan konsumsi daya dalam mW.

Table II. Perbandingan Unjuk Kerja Dibanding Penelitian Sejenis.

No. Referensi	Frekuensi Keluaran [GHz]	Luas [mm ²]	Teknologi [μm]	Skema Kendali	Derau Fase [dBc/Hz]	Frequency Offset [Hz]	FoM [dBc/Hz]
[13]	2,4	0,2	0,24	Coupled	-110	10MHz	-146,9
[9]	11,5	0,13	0,13	Coupled	-94,3	2MHz	-150,7
[6]	2,4	0,19	0,18	Coupled	-113	10MHz	-154,4
Paper ini	5,2	0,2	0,18	Inverting	-111,2	4MHz	-159,7

IV. KESIMPULAN

DCO dengan kendali delapan bit berhasil dirancang dan difabrikasi dengan teknologi CMOS 0,18μm. Penggunaan teknik sub-feedback loop yang digabung dengan kendali penalaan digital berhasil menghasilkan frekuensi yang tinggi dengan derau fase yang rendah. Paling rendah dibandingkan hasil penelitian sejenis. Unjuk kerja yang dihasilkan juga paling bagus diantara penelitian sejenis.

DAFTAR PUSTAKA

- [1] J. Lu, et.al, "A compact and low power 5-10 GHz quadrature local oscillator for cognitive radio application." *IEEE Journal of Solid-State Circuits* vol. 47 (5), pp. 1131-1139, 2012.
- [2] M. Hossain and A. C. Carusone, "CMOS oscillator for clock distribution and injection-locked deskew," *IEEE Journal of Solid-State Circuits*, vol. 44 (8), pp. 2138-2153, 2002.
- [3] F. H. Gebara, et.al, "4.0 GHz 0.18μm CMOS PLL based on an interpolate oscillator" *Digest of Technical Papers o Symposium on VLSI Circuits*, pp. 100-103, 2005.
- [4] A. Matsumoto, et.al, "A Design Method and Developments of a Low-Power and High-Resolution Multiphase Generation System" *IEEE Journal of Solid-State Circuits*, Volume: 43 , Issue: 4, pp. 831-843, 2008.
- [5] B. Fahs, W. Y. Ali-Ahmad, and P. Gamand, "A two-stage ring oscillator in 0.13-μm CMOS for UWB Impuls radio," *IEEE Trans. Microw. Theory Tech.*, vol. 57 (5), pp. 1074-1082, May 2009.
- [6] J. Xu, A. Verma, and T. H. Lee, "Coupled Inverter Ring I/Q oscillator for low power frequency synthesis," *IEEE Symp. On VLSI Digest of Tech. paper*, 2006, pp.173-173.
- [7] H. Q. Liu, W. L. Goh, L. Siek, W. M. Lim and Y. P. Zhang, "A low-noise multi GHz CMOS multiloop ring oscillator with coarse and fine frequency tuning," *IEEE Trans. VLSI systems*, vol. 17 (4), pp. 571-577, April 2009.
- [8] L. Sun and T. A. Kwasnieski, "A 1.25-GHz 0.35-μm monolithic CMOS PLL based on a multiphase ring oscillator," *IEEE Journal of Solid-state Circuits*, Vol. 36, No. 6, pp. 910-916, June 2001
- [9] J. D. Van Der Tang and D. Kasperkovitz, and A. VanRoermund, "A 9.8-11.5-GHz quadrature ring oscillator for optical receivers." *IEEE Journal of Solid-State Circuits* vol. 37 (3), pp. 438-442. 2002.
- [10] C. Li and J. Lin, "A 1-9 GHz linear-wide-tuning-range quadrature ring oscillator in 130nm CMOS for non-contact vital sign radar application," *IEEE Microwave and Wireless Component Letters*, Vol. 20, No.1, pp. 34-36, January 2010.
- [11] T. Yoshida, N. Ishida, M. Sasaki, and A. Iwata, "Low-voltage, low-phase-noise ring-VCO using 1/f-noise reduction techniques," *Japanese Journal of Applied Physics*, vol. 46, pp. 2257-2260, April 2007.
- [12] A. Hajimiri, S. Limotyrakis, and T. H. Lee, "Jitter and phase noise in ring oscillators," *IEEE Journal of Solid-State Circuits*, Vol. 34, pp.790-804, June 1999.
- [13] S. Verma, J. Xu, M. Hamada, and T. H. Lee, "A 17 mW 0.66/sup 2/ direct-conversion receiver for 1 Mb/S cable replacement," *IEEE Journal of Solid-State Circuits*, Vol. 40, No. 12, pp.2547-2554, Dec.2005